

Patent Abstracts of Japan

PUBLICATION NUMBER : 62057265
PUBLICATION DATE : 12-03-87

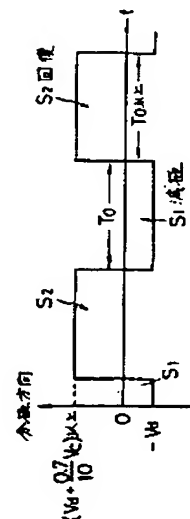
APPLICATION DATE : 06-09-85
APPLICATION NUMBER : 60196058

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : TOMONO AKIRA;

INT.CL. : H01L 41/08 H02N 2/00

TITLE : DRIVING PIEZOELECTRIC ELEMENT



ABSTRACT : PURPOSE: To increase the displacement amount and the generated power by alternately applying electric fields of specific different waveforms in the same direction and reverse direction of the polarization, and to enable the polarization deteriorated due to application of voltage in the reverse direction of the polarization to be fully restored by applying voltage in the polarization direction.

CONSTITUTION: When the withstand electric field strength of a piezoelectric element is E_c , the piezoelectric element is driven by applying, in the reverse polarization direction for time T , an electric field E the maximum value of which is in the range of $(1/4)E_c$ and $(9/10)E_c$, and then applying an electric field which is equal to or greater than $[E + (n/10)E_c]$ ($n=0\sim 10$) for $0.5 \times T \times 10^{-n+1}$ or longer in the polarization direction. For instance, in order to seek the voltage to be applied in the polarization direction in the case where voltage V_d is applied in the reverse polarization direction for Time T_0 , and then the polarity is switched and voltage is applied in the polarization direction, if n is sought by using $T_0 = 0.5 T_0 \times 10^{-n+1}$, the result is about 0.7. If $T_0 = T_0 \times 10^{-n+1}$ is used, n is 1. Therefore, it is only needed to apply in the polarization direction voltage of $[V_d + 0.7 \times (1/10)V_c] \sim [V_d + (1/10)V_c]$ or greater.

COPYRIGHT: (C)1987,JPO&Japio

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-57265

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)3月12日

H 01 L 41/08

C-7131-5F

H 02 N 2/00

8325-5H

審査請求 未請求 発明の数 1 (全 11 頁)

⑭ 発明の名称 圧電素子駆動法

⑰ 特 願 昭60-196058

⑱ 出 願 昭60(1985)9月6日

⑲ 発 明 者 伴 野 明 横須賀市武1丁目2356番地 日本電信電話株式会社横須賀
電気通信研究所内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 山川 政樹 外1名

明 細 書

1. 発明の名称

圧電素子駆動法

2. 特許請求の範囲

(1) 強誘電体に高電界を加えることにより分極処理を施した圧電素子に、逆分極方向に電界を加えて歪ませることにより前記圧電素子を駆動する駆動方法において、圧電素子の抗電界強度を E_c としたとき、逆分極方向にその最大値が $(1/4) E_c$ 以上 $(9/10) E_c$ 以下である電界 E を T 時間印加し、ついで分極方向に「 $E + (n/10) E_c$ 」以上の電界 ($n = 0 \sim 10$) を $0.5 \times T \times 10^{-3}$ 以上加えることを特徴とする圧電素子駆動法。

(2) E_c が圧電素子使用温度の上限における抗電界強度である特許請求の範囲第1項記載の圧電素子駆動法。

(3) 複数の圧電素子を用い一方の圧電素子群に対して逆分極方向の電圧を印加しているときに、他方の圧電素子群には分極方向に電圧を印加する特許請求の範囲第1項記載の圧電素子駆動法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は強誘電体に分極処理を施した圧電素子に分極と同方向および逆方向に交互に異なる波長の電解を加えることにより、圧電素子を歪ませる駆動法に関するものである。

(従来の技術)

近年、端末機器の小型、軽量化の要求に伴い電磁駆動部品に代わる小型で効率の良いアクチュエータとして圧電素子が注目されている。圧電素子はジルコン酸チタン酸鉛等の材料に代表される強誘電体に高電界を加え分極を形成した素子である。この素子に分極と同じ方向に電界を加えると電界に比例して歪み、分極と逆方向に電界を加えると逆向きに歪むため、このときの発生力を取り出してアクチュエータとして利用することができる。

第2図はこの応用例であり、薄く切断した強誘電体に分極を施した圧電素子2枚を分極方向が同じになるように張り合わせたバイモルフ素子である。同図において、1はバイモルフ素子、H1、

H2 は厚さ $h = 0.15 \text{ mm}$ の圧電素子、200 は最大電圧 $\pm V_p$ の交流電源、100 はバイモルフ素子支持部である。

動作を簡単に説明する。A 点が正の場合、H1 は分極方向に電圧が加わるため縮む方向に歪み、H2 は分極と逆方向に同電圧が加わるため伸び方向に歪む。この結果、バイモルフ素子1の先端は上に変位する。極性が替わりA点が負になると、H1 は逆分極方向に電圧が加わって伸び、H2 は分極方向に同電圧が加わって縮むためバイモルフ素子1の先端は下に変位する。H1、H2 に加わる電圧をそれぞれ第3図(イ)、(ロ)に示す。このように交流電圧を印加すると先端は振動する。

電源電圧 $|V_p|$ を上昇させながら先端振幅 δ を測定した結果を第4図に実線①として示す。同図では横軸に電源電圧 $|V_p|$ をとり、縦軸に先端振幅 δ をとっている。実線①によれば、 δ は V_p にほぼ比例して上昇するが、90 V 近くで急激に低下する。第5図はある1枚の圧電素子(厚さ 1 mm) に逆分極方向に電圧を加えたときの伸び歪み Δl

を電源電圧を速やかに上昇させながら測定した結果である。逆分極方向に高電界が加わると歪量は第4図に実線①と同様に急激に小さくなるが、これは製造時に形成した分極が消滅または反転するためである。歪量が急激に低下するときの電界 E_c を抗電界強度と呼ぶことにする。第5図の材料の場合 $E_c = 600 \text{ V/mm}$ である。第2図の圧電素子 H1、H2 は $h = 0.15 \text{ mm}$ ゆえ抗電界強度 E_c に対応する抗電圧 V_c は 90 V となる。したがって、第4図の特性を短い時間で測定した場合、先端振幅 δ が低下する電圧は抗電圧 V_c に等しくなる。

抗電圧 V_c より低い電圧で振動させた場合でも長時間動作させた場合には振幅の劣化が観測される。第6図はこの様子を示すグラフであり、横軸に動作時間、縦軸に振幅 δ を採っている。第2図と同じバイモルフ素子を用いた場合であるが、電源電圧 $|V_p|$ が 30 V 以上で劣化がみられ、電圧が高くなるに従って劣化が大きくなる。この図から第2図の回路でバイモルフ素子を駆動した場合、許容電圧は抗電圧 V_c の $1/3 \sim 1/4$ 以下であるこ

3

とが判る。したがって、劣化の少ない条件で使用するために、従来は分極方向および逆分極方向に抗電圧 V_c の $1/3 \sim 1/4$ 以下の小さな電圧を印加しており、振幅および発生力は非常に小さいものであった。

これに対して、本願発明者は分極方向と逆分極方向とで異なる電圧を印加することにより、振幅および発生力を一段と高めることができる駆動回路を提案した。第7図はその回路図である。構成を簡単に説明する。一方の圧電素子の正の分極面に接する電極に定電圧ダイオード ZD1 の陰極を接続し、他方の圧電素子の負の電極面に接する電極に定電圧ダイオード ZD2 の陽極を接続し、2つの定電圧ダイオードの他端子を共通にして一方の入力端子とし、中央電極 S を他方の入力端子としてこの間に直流電圧を極性を切り替えて印加するものである。同図において、3 は極性切り替えスイッチ、4 は電源電圧 V_1 を $V_o (= V_1 + V_{ZD0})$ に昇圧する DC/DC コンバータ、5 は切り替えスイッチ制御回路、6 は定電流回路である。

5

4

この回路の動作を簡単に説明する。スイッチ 502 が同図のような状態にあると、A 点には V_o が現れるため圧電素子 H1 には分極方向にほぼ V_o が加わり、圧電素子 H2 には逆分極方向に $V_o - V_{ZD2}$ が加わるためバイモルフ素子1の先端は上に変位する。極性が変わると H1 には逆分極方向に $V_o - V_{ZD1}$ が加わり、H2 には分極方向にほぼ V_o が加わり先端は下に変位する。第8図(イ)および(ロ)にそれぞれ圧電素子 H1 および H2 に加わる電圧を示す。この回路では V_o に応じて定電圧ダイオードの動作電圧 V_{ZD} を適当に選ぶことにより、逆分極方向に加わる電圧を一定値以下に制御することができるため、分極の劣化は生じない。

第4図の実線②は第7図の回路を用いて逆分極方向に加わる電圧 $V_o - V_{ZD1}$ 、 $V_o - V_{ZD2}$ を共に 30 V に設定しつつ分極方向に加わる電圧 V_o を上昇したとき、2 枚での駆動におけるバイモルフ素子1の先端の振幅 δ を測定した結果である。 V_o を 100 V 以上にすることも可能であり、この

6

ときの変位量は第2図の従来回路を用いて分極方向および逆分極方向に共に30Vを加えたときに比べ3倍程度に増加する。また、発生力も同様に増加するため、変位量×発生力は従来回路の場合に比べて9倍程度にも増加する。

(発明が解決しようとする問題点)

このように、本願発明者による第7図の回路を用いれば、第2図に示す従来回路に比べてかなり大きな変位量および発生力を得ることができる。しかし、圧電素子を電磁駆動部品に代わるアクチュエータとして用いる場合には、さらに大きな変位量および発生力が要求されることが少なくない。

(問題点を解決するための手段)

本発明の圧電素子駆動法は上記問題点に鑑みてなされたものであり、圧電素子の抗電界強度を E_c としたとき、逆分極方向にその最大値が $(1/4)E_c$ 以上 $(9/10)E_c$ 以下である電界 E を T 時間印加し、ついで分極方向に「 $E + (n/10)E_c$ 」以上の電界($n=0 \sim 10$)を $0.5 \times T \times 10^{-\text{sec}}$ 以上加えるものである。

7

に用いた圧電素子は第5図における材料と同じで厚さは0.15mmである。したがって、抗電圧 V_c は約90Vである。

実線①～④は逆分極方向に電圧を印加した場合を示している。抗電圧 V_c の $1/4 \sim 1/3$ 以上の電圧を加えると劣化は速くなり、印加電圧が $(1/10)V_c$ 程度上がると、 d 定数が初期値から同程度低下するために要する時間は一点鎖線に交点が表示するように1桁程度短くなる。

このようにして d 定数を初期値の $1/2$ まで低下させた圧電素子に今度は分極と同方向に高電圧を印加すると分極が再形成されるため d 定数は破線⑤、⑥のように回復する。

同図の例によると、 $(1/4)V_c \sim (1/3)V_c$ を V_d としたとき(同図では30V)、逆分極方向に「 $V_d + (3/10)V_c$ 」(約57V)を加えると150時間で d 定数は $1/2$ に低下し、この素子に同程度の電圧を分極方向に加えると d 定数が回復するために1500時間近くかかる(破線⑥)。このように同程度の電圧で回復させる場合には5～10倍の時

(作用)

逆分極方向に、その最大値が $(1/4)E_c$ 以上で $(9/10)E_c$ 以下の高い電界を加えるので、変位量および発生力が高い。また、逆分極方向の電圧印加により劣化した分極が、分極方向の電圧印加によりほぼ完全に復旧する。

(実施例)

実施例の説明に入る前に本発明の基本原理について説明する。第5図において、厚さ h の圧電素子に電圧 V を加え、長さ l の圧電素子が Δl 伸びた場合、歪量は

$$\Delta l / l = d (V / h)$$

で表される。すなわち、圧電素子の歪量は圧電素子に加えた電界の強さに比例し、この比例定数が d 定数である。製造時に高電界を加えて分極を形成した圧電素子に逆分極方向に電圧を長時間加えた場合の d 定数の変化を測定し、分極形成時の d 定数(初期値)で規格化して表したものが第9図のグラフである。同図では横軸に印加時間(対数目盛)、縦軸に d 定数の変化を採っている。実験

8

間を要する。一方、分極方向に加える電圧を逆分極方向に加えた電圧「 $V_d + (3/10)V_c$ 」(約57V)より $(1/10)V_c$ 高い66V程度にすると、回復に要する時間は劣化に要した時間の $1/2 \sim 1$ 倍程度に大幅に短くなる(破線⑤)。

このように、逆分極方向に対する印加電圧よりも $(n/10)V_c$ (ただし $n=0 \sim 10$)高い電圧を分極方向に印加すると、回復に要する時間は $(1/2) \times 10^{-\text{sec}} \sim 10^{-\text{sec}}$ 程度になる。この実験結果から次のような駆動法が考えられる。すなわち、分極方向に電界 E を時間 T 印加したことによって劣化した分極を、分極方向に「 $E + (n/10)E_c$ 」の電界を $aT10^{-\text{sec}}$ ($a=0.5 \sim 1$)以上加えることにより再形成し、これを繰り返すことにより d 定数の低下を防止しつつ大きな変位を安定的に確保する駆動法である。

たとえば、逆分極方向に V_d が T_0 時間加わり、ついで極性が切り替わり分極方向に電圧が加わる場合の分極方向に加える電圧を求めてみる。
 $T_0 = 0.5 T_0 \times 10^{-\text{sec}}$ とおき n を求めると、約

9

10

0.7 となる。また、 $T_o = T_o \times 10^{-n}$ といいた場合は n は 1 である。したがって、分極方向には $\{V_d + 0.7 \times (1/10) V_c\} \sim \{V_d + (1/10) V_c\}$ 以上の電圧を加えればよい。この動作を図示したのが第10図のタイミングチャートである。同図において S_1 は減極作用の領域、 S_2 は分極再形成の領域である。

第11図のタイミングチャートは分極方向の電圧印加時間が逆分極方向の電圧印加時間の1/20の場合を示している。

$0.5 \times 10^{-n} = 1/20$ より、 $n = 2$ ゆえ分極方向には $V_d + (2/10) V_c$ 以上を加えればよい。

本駆動法では逆分極方向に電圧を加えると減極が起きることを前提に、分極方向に高電圧を加えてこれを回復するさせて使用するものであるが、逆分極方向に加える電圧が強く減極が速い場合には、極性を切り替えることによって分極を再形成できたとしてもその動作は不安定なものになる。したがって、逆分極方向に加える電界の最大値 E_{max} は実際には $(8/10) E_c \sim (9/10) E_c$ が上限である。

1 1

そこで、 $0.5 \times 10^{-n} = 1/360$ とおくと $n = 3.26$ となる。したがって、分極方向に加える電圧 V_o は逆分極方向に加える電圧 $V_o - V_{ZD1}$ より $3.26 \times (1/10) V_c$ 以上高くする必要がある。

$\{V_o - V_{ZD1}\} + 3.26 \times (1/10) V_c = V_o$ とおくと $V_{ZD1} = 3.26 \times (1/10) V_c$ となる。 V_c が 90 V の場合、 V_{ZD1} は 29.3 V 以上にする必要がある。したがって例えば $V_o = 80$ V の電源を用いる場合には逆分極方向に加える電圧 $V_o - V_{ZD1}$ は 50.7 V 以下でなければならない。実際には安全をみて 40 V 程度が望ましい。

一方、圧電素子 H_2 に加わる電圧は第1図 (ハ) のようになり、分極方向の印加時間は逆分極方向の印加時間の10倍以上になる。そこで、 $0.5 \times 10^{-n} = 10$ とおくと $n = -0.3$ となる。したがって、分極方向に加える電圧は逆分極方向に加える電圧から $0.3 \times (1/10) V_c$ を減じた値以上となる。しかし、第7図の回路では分極方向には逆分極方向より低い電圧を加えることはできないため、実際には V (分極方向) $\geq V$ (逆分極

1 3

また、減極は $(1/4) E_c$ 以上で大きく起きるため $(1/4) E_c < E_{max} < (9/10) E_c$ が本発明に特に効果的な領域である。

つぎに、実施例と共に本発明を詳細に説明する。

第1図は本発明の一実施例を示すタイミングチャートであり、第7図の回路によって動作するバイモルフ素子を公衆電話機の硬貨処理装置に適用する場合の駆動法を示している。

硬貨処理用アクチュエータには 5 ～ 180 秒に 1 回、変位量 2 mm 以上、発生力 25 g 以上、1 往復 0.5 秒以下で振動する特性が必要となる。この特性を $50 \text{ mm} \times 15 \text{ mm} \times 0.15 \text{ t}$ 程度の大きさの圧電素子を重ね合わせたバイモルフ素子で実現する場合に本駆動法が不可欠になる。第7図において、バイモルフ素子 1 の先端が通常下に変位し、硬貨収納時に 1 往復動く場合を例にとると、切り替えスイッチ制御回路 5 の J の電位は第1図 (イ) のようになる。このとき、圧電素子 H_1 に加わる電圧は同図 (ロ) のようになり、分極方向に加わる時間は逆分極方向に加わる時間の 1/360 以上になる。

1 2

方向) となる。さらに、 V (逆分極方向) は前述のように $(8/10) V_c \sim (9/10) V_c$ 以下が望ましいため、 V_c が 90 V の場合、 V (逆分極方向) は 70 V 以下がよい。また、 H_1 、 H_2 共に逆分極方向に加える最大電圧が $(1/4) V_c$ (約 22 V) 以上の場合に本発明が特に効果的なため、本実施例では V_o が 80 V のとき、 $22 \text{ V} < V_o - V_{ZD1} < 40 \text{ V}$ 、 $22 \text{ V} < V_o - V_{ZD2} < 70 \text{ V}$ が駆動条件域である。

ところで、抗電界強度 E_c は一般に負の温度勾配をもつ。このため温度が上がると E_c は低下するが、この場合実用的な逆方向電界強度も小さくなる。したがって、 E_c は使用温度の上限で定義するのが望ましい。

第12図は第7図の回路の改良例を示す回路図である。また、第13図はそのタイミングチャートであり、第2の実施例を示すものである。本実施例では、極性切り替え時に H_1 の逆方向に第1図に示した電圧より更に大きな電圧を加え大きく変位させ、その後逆分極方向の印加電圧を低下させ減極の進行を抑え、次の極性反転によって分極を再

1 4

形成させる駆動例である。

まず、回路の動作について簡単に説明する。切り替えスイッチ制御回路5のJ端子が通常第13図(イ)に示すように「high」にあるとする。この場合端子Bは正となるがH1に電圧を印加する回路はダイオード219によって遮断されるためH1には第13図(ロ)に示すように電圧は加わらない。

一方、H2には第13図(ハ)に示すように分極方向にV_oが加わるため先端は下に変位している。切り替えスイッチ制御回路5のJ端子を「low」にすると極性が反転し端子Aが正になる。H1には分極方向にV_oが加わり、H2には逆分極方向にV_o - V_{ZD221}が加わり上に変位する。

次に再びJ端子が「high」になると、極性が反転し端子Bが正、Aが接地レベルになる。H1にはそれまで電圧V_oに対応する電荷が充電されていたため、H1の電極T1に電位は2V_oに上昇する。ここで、V_{ZD213} + V_{ZD221} < 2V_oとすると、サイリスタ212のゲートにはトリガ電流が流れサイリスタ212はターンオンする。このため

H1への充電電流は、端子B→H1→サイリスタ212→定電圧ダイオード215→端子Aの経路で流れるため、H1に充電が完了すると充電電流は制限されるためサイリスタ212は自己復旧する。H2には分極方向にV_oが加わるためバイモルフ素子1の先端は下に大きく変位する。時間の経過と共にH1の電荷は抵抗23を介して放電するため逆分極方向に加わる電圧は低下し零になる。放電時間は抵抗23により制御される。

以上のように、本回路ではH1に逆分極方向に加わる電圧は極性切り替え時にV_o - V_{ZD215}になり、その後は時間とともに低下して時間T3を経過した時点で零になるが、この間に劣化した分極を再形成するために分極方向に加える電圧は逆分極方向にV_o - V_{ZD215}の電圧が時間T3続くとして求めることとする。一例として、T3を5秒程度に設定すると、分極方向の印加時間は逆分極方向の印加時間の1/10である。そこで、 $0.5 \times 10^{-3} = 1/10$ とくと、nは約1.7である。したがって、分極方向に加える電圧はV(逆分極

15

方向) + 1.7 × (1/10) V_c以上必要である。分極方向に加える電圧はV_oゆえ、 $V_o > V_o - V_{ZD215} + 1.7 \times (1/10) V_c$ とくと、 $V_{ZD215} > 1.7 \times (1/10) V_c$ となり、V_cが90Vの場合、 $V_{ZD215} > 15.3V$ 、安全をみると $V_{ZD215} > 18V$ となる。したがって、V_oが80Vのとき、 $22V < V_o - V_{ZD215} < 62V$ が本実施例の駆動条件域である。

なお、本実施例では極性切り替え時(第13図ア)に大きく変位した素子は、H1の電荷が放電するの伴って先端が僅かに戻るが、これを防止するためバイモルフ素子の先端に磁石を設け、この吸引力でバイモルフ素子を保持してもよい。

また、本実施例では第13図(ロ)に示すように逆分極方向の電圧印加時間T3が抵抗23により決まるため、バイモルフ素子を下に変位させ保持しておく時間T2をさらに長くすることができる利点がある。これは、バイモルフ素子を通常一方向に変位させておき、必要なときに大きく1回振動させる場合に有効である。

17

16

第14図は分極方向には電源電圧を、逆分極方向には電源電圧より一定電圧引いた電圧を印加するための回路例で本発明の他の実現手段である。H1に直列に定電圧ダイオードZD1が接続され、この回路に電源が接続されている。そして、圧電素子に加わる電圧が制限されない方向に電圧印加されている間すなわち定電圧ダイオードZD1の陽極が正である間は、定電圧ダイオードZD1を短絡するように作動するホトトランジスタPT1が定電圧ダイオードZD1に並列接続されている。ホトトランジスタPT1はホトダイオードL1の発光により動作する。

一方、H2については、直列に定電圧ダイオードZD2が接続され、この回路に電源が接続されている。そして、圧電素子H2に加わる電圧が制限されない方向に電圧印加されている間すなわち電極Sが正である間は、定電圧ダイオードZD2を短絡するように作動するホトトランジスタPT2が定電圧ダイオードZD2に並列に接続されている。ホトトランジスタPT2はホトダイオードL2の発光

18

により動作する。

H1, H2 に加わる電圧を第15図 (イ), (ロ) に実線それぞれ示す。

H1 に電圧を印加する回路についてその動作を同図 (イ) を用いて説明する。仮に、ホトトランジスタPT1 がないと、電源電圧を一点鎖線のようにした場合、H1 に加わる電圧は破線のようになる。すなわち、電源電圧が上昇するとそれともなってH1 の分極方向に加わる電圧も上昇するが、電源電圧が t_p を過ぎて低下し始めてもH1 の電圧はしばらくは低下しない。これはZD1 が接続されているため、H1 に充電された電圧 V_p と電源電圧との差が V_{ZD1} になるまでH1 に充電された電荷が放電されないためである。ホトトランジスタPT1 を付けるとこれが解決される理由は以下の通りである。A点が正の間はホトダイオードL1 は発光するためホトトランジスタPT1 は動作している。このため、電源電圧が t_p を過ぎて低下し始めたとき、H1 の電荷はホトトランジスタPT1 を介して放電するため実線のように電源電圧

と同じ電圧がH1 に加わることになる。極性が変わりA点は負になるとホトトランジスタPT1 はオフとなる。A点の電圧が $-V_{ZD1}$ 以下になると逆分極方向に電圧が加わり始め同図のようになる。このように本回路を用いると任意の電源電圧に対して分極方向には電源電圧が、逆分極方向には電源電圧から V_{ZD1} を引いた電圧が印加される。したがって、本実施例によると逆分極方向に「 $V - V_{ZD1}$ 」の電圧を時間 T 。加え、分極方向にこれより V_{ZD1} 高い電圧 V を時間 T 。加える場合、第10図の場合と同様ゆえ V_{ZD1} は $0.7 (1/10) V_c \sim (1/10) V_c$ 以上が望ましい。一例として、 V_c が90Vの場合、 $V_{ZD1} > 9$ とし、また V_p を80Vとすると $22V < V_p - V_{ZD1} < 71V$ が実用的な領域となる。

なお、H2 についてはH1 と同様の動作をするので説明を省略する。

第16図は第14図において短絡回路として用いたホトトランジスタの替わりにダーリントトランジスタDT11, DT21 を用いた例である。H1 に充電

19

する回路について動作を説明する。A点の電圧が正で上昇しているときにはZD1 に順方向電流が流れ、H1 は分極方向に充電される。A点の電圧が下がり始めると電極T1 の電圧はA点より高くなろうとするが、このときのダーリントトランジスタDT11がオンとなるためH1 の電荷は放電され結局A点の電圧に等しくなる。A点が負になると、ダーリントトランジスタDT12のベースに電流が流れオンするためダーリントトランジスタDT11のベース電圧はエミッタ電圧に等しくなり、ベース電流が遮断されるためダーリントトランジスタDT11はオフとなる。したがって、H1 には逆分極方向に $V - V_{ZD1}$ の電圧が加わる。ここで、H1 に逆分極方向に電圧が印加されている間はダーリントトランジスタDT12がオン状態にあるため、抵抗R11がH1 の抵抗値より小さい場合には逆分極方向の充電電流はB点→電極S→H1 →電極T1 →抵抗R11→ダーリントトランジスタDT12→A点の経路で流れ、H1 には逆分極方向に $V - V_{ZD1}$ の電圧が加わる。H2 についても同様である。

20

第17図は本発明の他の実現手段であり、圧電素子を2枚以上重ね合わせて構成したマルチモルフ素子を用いたものである。同図において、10はマルチモルフ素子、Hは圧電素子、11, 12は片方向電圧制限回路である。

第18図 (イ) は、同図 (ロ) の斜視図に示すような縦歪効果を利用した積層形圧電アクチュエータの駆動回路を示す。15は積層形圧電アクチュエータ、16は積層形圧電素子、20は圧電素子、18-1は内部電極、18-2は接続電極、17は変位量拡大機構である。積層形圧電素子16は圧電材料と内部電極とを交互に重ねて焼結した後、同図のように切断および切り込みを入れ、接続電極を施し、分極形成して得られる。

片方向電圧制限回路に定電圧ダイオードを用いた場合の動作は以下のようになる。A点が正の場合には16-1の各圧電素子には分極方向に V_o が印加され、同図のように伸び、16-2の各素子には逆分極方向に $V_o - V_{ZD1}$ が印加され縮む。この歪量は変位量拡大機構17で拡大されその先端は下に

21

22

変位する。極性を反転すると同様にして先端は上に変位する。

〔発明の効果〕

以上説明したように本発明は、逆分極方向に最大電圧が $(1/4)V_c$ を超える電圧を印加した後、逆分極方向に与えた印加電圧および印加時間に応じて所定範囲の印加電圧および印加時間を与えることにより、劣化した分極を再形成させて駆動するものである。分極劣化を防ぎつつ逆分極方向印加電圧を従来よりも遙かに高くでき、その上分極方向には更に高い電圧を印加できる。そのため、アクチュエータとしての変位量および発生力は飛躍的に大きくすることができる。分極劣化電圧 V_d 以下の電圧を分極方向および逆分極方向に与える従来の駆動法と比べると、変位量×発生力は10倍を超えアクチュエータとしての特性劣化も少ない。本発明はバイモルフ素子、ユニモルフ素子、マルチモルフ素子、積層形圧電素子、圧電モータなどに適用でき、さらに、これらのアクチュエータは、硬貨処理装置、インパクトプリンタ、

リレーなどに適用できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すタイミングチャート、第2図は従来の圧電素子駆動回路を示す回路図、第3図はそのタイミングチャート、第4図は電源電圧とバイモルフ素子1の振幅との関係を示す特性図、第5図は印加電圧と圧電素子の変位との関係を示す特性図、第6図は分極劣化の様子を示す特性図、第7図は圧電素子駆動回路の一例を示す回路図、第8図は第7図の回路を用いた従来の駆動法を示すタイミングチャート、第9図は d 定数の変化を示す特性図、第10図および第11図はいずれも本発明の動作原理を示すタイミングチャート、第12図は本発明を実施するための回路例を示す図、第13図はその動作を示すタイミングチャート、第14図は本発明を実施するための他の回路例を示す図、第15図はその動作を示すタイミングチャート、第16図ないし第18図は本発明を実施するための更に他の回路例を示す図である。

2 3

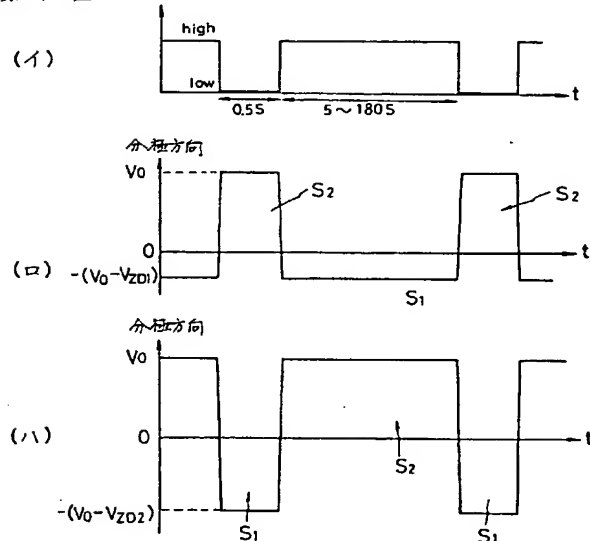
1 … バイモルフ素子、H1, H2 … 圧電素子。

特許出願人 日本電信電話株式会社
代理人 山川 政樹 (ほか1名)

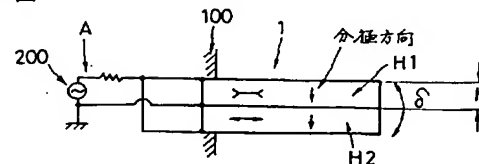
2 5

2 4

第1図

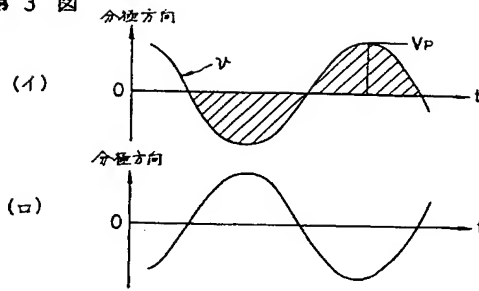


第2図

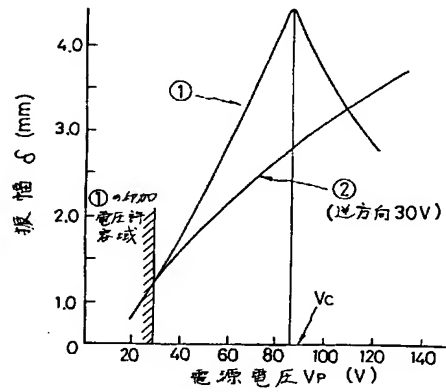


—343—

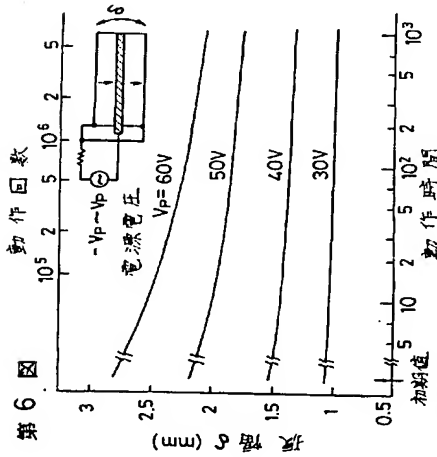
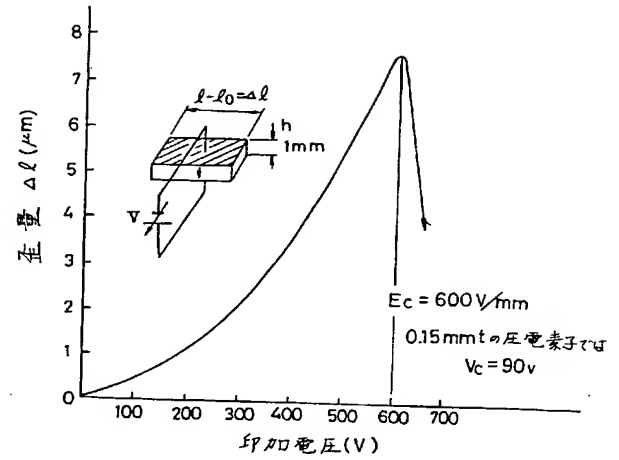
第3図



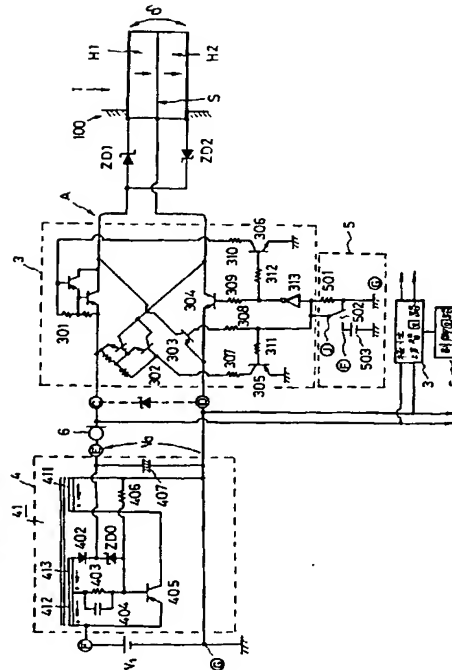
第4図

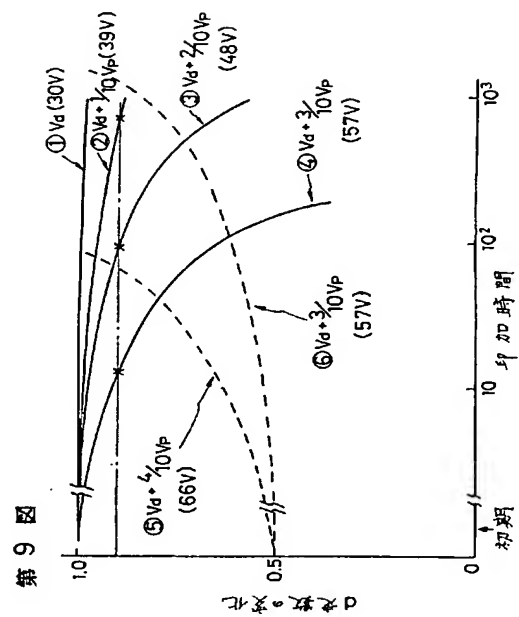
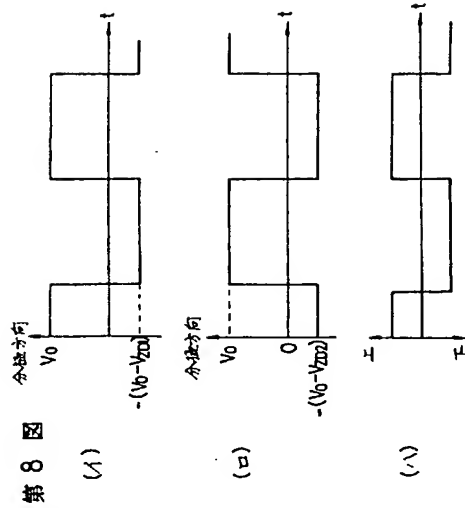


第5図

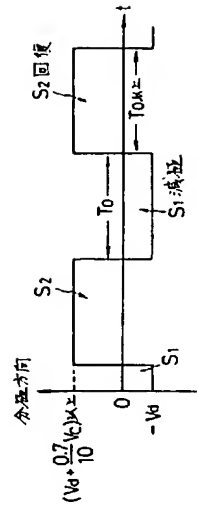


第7図

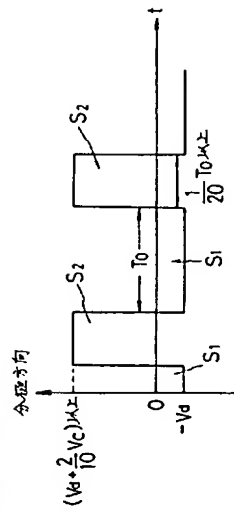




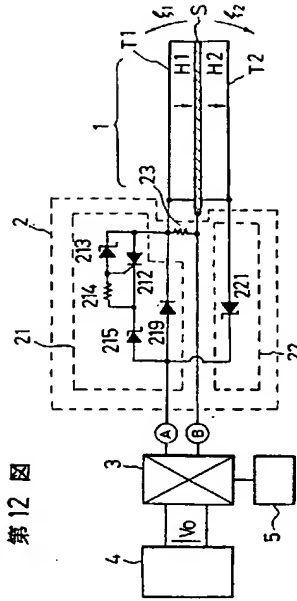
第10図



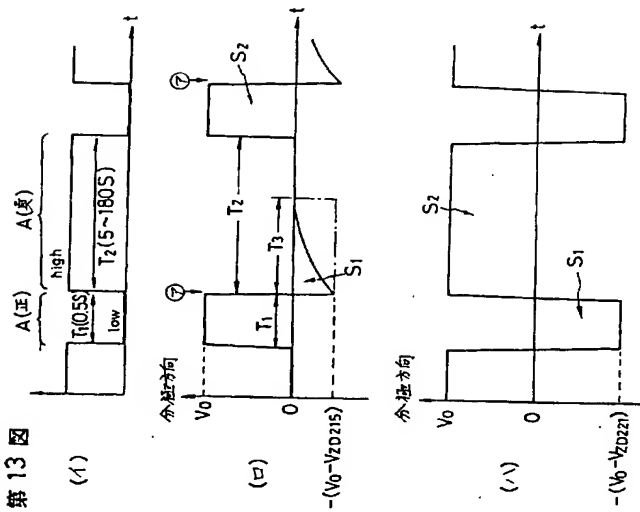
第11図



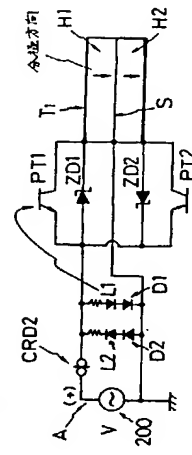
第12図



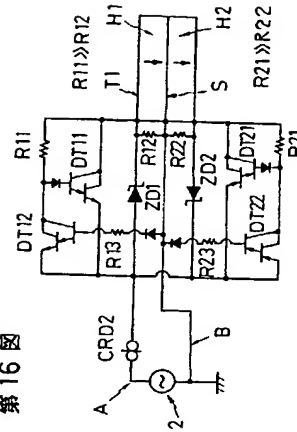
第13図



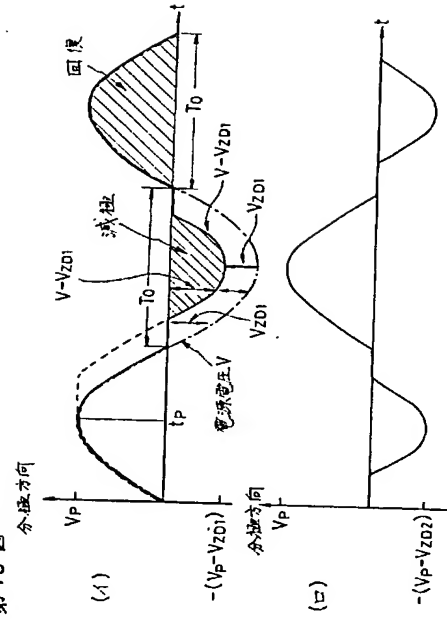
第14図



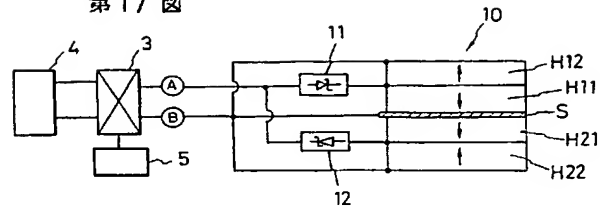
第16図



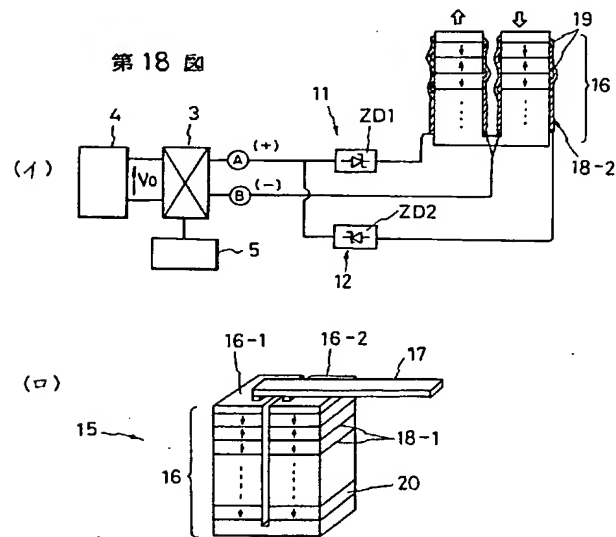
第15図



第 17 図



第 18 回



THIS PAGE BLANK (USPTO: